

Korean open patent publication

Publication No.: 91-20934

Date of publication: December 20, 1991

Application No.: 90-06659

Date of filing: May 10, 1990

Inventor: Kim Ki Hong

Applicant: Gold Star Electron LTD

Manufacturing method and structure of a TITA MOSFET

What is claimed is:

1. A method of manufacturing a TITA MOSFET comprising:
etching a substrate (100) in a source region (108) and drain region (109)
and
forming a gate (107) and the source / drain (108,109) for a purpose of increasing
a channel length (L1) after the etching step.
2. A structure of a TITA MOSFET comprising:
a channel length (L1) increased by forming a protrusion in a silicon substrate
(100) between a source / drain (108,109), the protrusion is formed by etching an
isolation region and the source / drain (108,109) in order, wherein the isolation
(105) is formed by using a trench (102).

Brief description of the drawings:

Figs. 2A and 2B show a structure of a TITA MOSFET relevant to the present invention. Fig. 2A is a planar view and Fig. 2B is a cross sectional view. Figs. 3A to 3G show a manufacturing process of the TITA MOSFET relevant to the present invention.

BEST AVAILABLE COPY

대한민국특허청 (KR)

Pat. No.
1991. 12. 29/784

특허공개공보 (A)

제 810 호

①공개일자 서기 1991. 12. 20

①공개번호 91-20934

②출원일자 서기 1990. 5. 10

②출원번호 90-6659

심사청구 : 있음

③발명자 김기홍 경기도 안양시 관양동 629 현대아파트 2층 603호

④출원인 금성일렉트론 주식회사 대표이사 문정환

충청북도 청주시 함정동 50번지

⑤대리인 변리사 신관호

(전 2면)

⑧TITA 모스 FET제조방법 및 구조

⑨특허청구의 범위

1. 소오스(108)와 드레인(109)영역의 기관(100)을 식각한후 게이트(107)와 소오스/드레인(108, 109)을 형성하여 채널길이(L1)가 증대되도록 한 것을 특징으로하는 TITA모스 FET 제조방법.

2. 이이솔레이션 영역과 소오스/드레인(108, 109)영역을 차례로 식각하여 소오스/드레인(108, 109)사이의 실리콘 기관(100)을 돌출시켜 채널길이(L1)는 증대시키고, 아이솔레이션(105)은 트렌치(102)를 이용한 것을 특징으로하는 TITA모스 FET 구조.

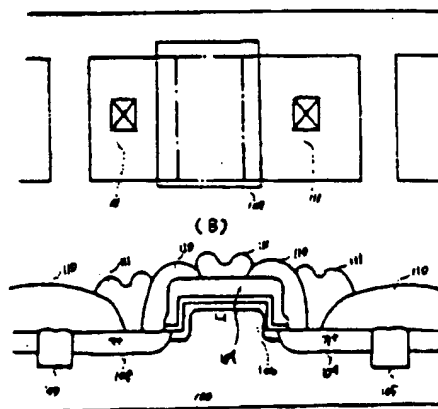
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제2도는 본 발명에 따른 TITA모스 FET구조도로서, (A)도는 평면도이고, (B)도는 단면도이다, 제3도 (A)~(G)는 본 발명에 따른 TITA 모스 FET 제조공정도.

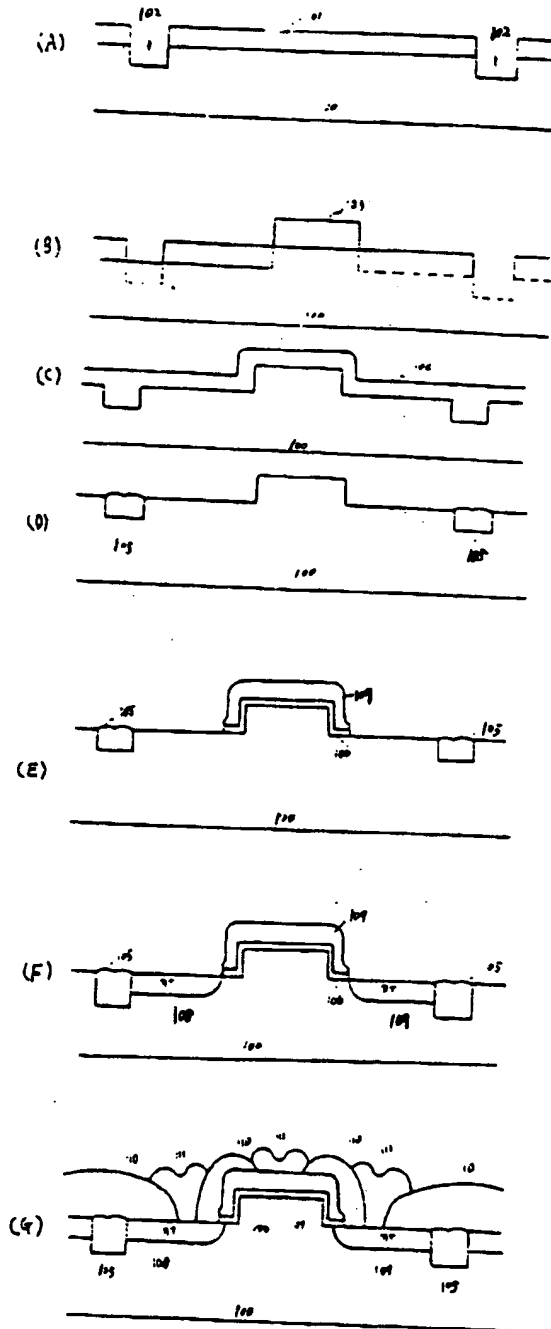
제 2 도

(A)



BEST AVAILABLE COPY

제 3 도



BEST AVAILABLE COPY